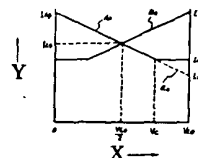
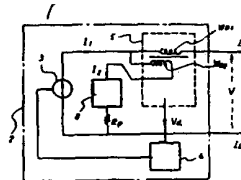
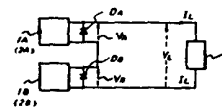


(54) CONSTANT CURRENT CIRCUIT

(11) 61-42018 (A) (43) 28.2.1986 (19) JP
 (21) Appl. No. 59-163089 (22) 2.8.1984
 (71) NEC CORP(1) (72) YOSHIHIKO HARAFUJI(1)
 (51) Int. Cl. G05F1/10

PURPOSE: To reduce the power loss of a circuit to make it small-sized and reduce the variance for a partial trouble of redundant constitution by providing a current detecting circuit with the first winding and the second winding, whose number of turns is larger than that of the first winding, at least and providing a current limiting circuit in series to the second winding.

CONSTITUTION: A control signal having a voltage proportional to the difference between a voltage V_A of the detection signal transmitted from a current detecting circuit 5 and a preliminarily determined reference voltage V_0 for a value I_{L0} of a current I_L is sent to a constant current source 3, and the transmission current I_1 of the constant current source is so controlled that the voltage of the control signal is zero. When constant current circuits 2A and 2B are operated simultaneously, the operating point is the intersection between characteristics A_D and B_D , and voltages V_A and V_B are $V_{L0}/2$ and they share equally the load if they have the same characteristic, and a current I_L is I_{L0} . As the result, the power loss for a resistance R_P for taking partial charge of load is reduced; and a current limiting circuit 8 is added to limit the increase of a current I_2 flowed to the resistance R_P . If the current limiting circuit 8 is connected to the ground side when one output terminal is grounded, it is unnecessary to subject a winding W_{D2} to the high dielectric strength treatment, and a current detecting circuit where a reference current winding W_2 is provided additionally may be used.



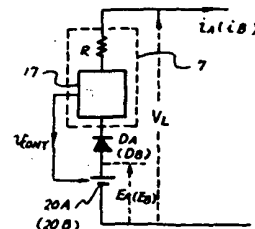
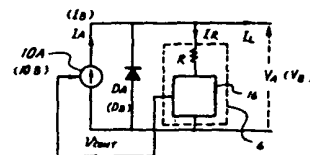
6: control circuit, 7: load, 1A(2A), 1B(2B): constant current circuit, X: voltage V_A , Y: current I_L

(54) LOAD SHARING SYSTEM

(11) 61-42019 (A) (43) 28.2.1986 (19) JP
 (21) Appl. No. 59-163091 (22) 2.8.1984
 (71) NEC CORP(1) (72) YOSHIHIKO HARAFUJI(2)
 (51) Int. Cl. G05F1/56

PURPOSE: To reduce the variance of a load current by allowing each power source to have a negative output resistance characteristic when plural power sources are operated simultaneously and allowing power sources which are not stopped to have non-negative high or low output resistance characteristics when a part of power sources is stopped.

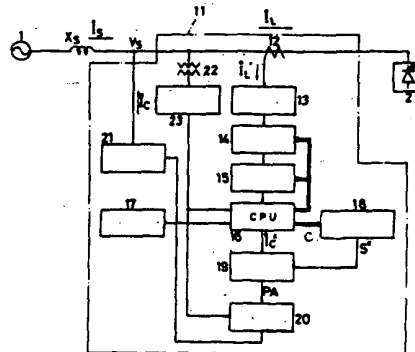
CONSTITUTION: Currents I_A and I_B transmitted from current sources 10A and 10B are shunt to a current I_R flowed to a resistance R and a load current I_L . A current detecting circuit 16 detects the current I_R . When an output voltage V_A is lower than a preliminarily determined voltage, the resistance R becomes a negative resistance to obtain a desired load sharing characteristic; and when the voltage V_A exceeds a set voltage, the resistance R becomes a positive resistance to reduce the variance of the load current for operation of one current source. Currents i_A and i_B transmitted from voltage sources 20A and 20B are flowed to a load through a control circuit 7, and a current detecting circuit 17 detects the current i_A . When the output current i_A is lower than a preliminarily determined current, the resistance R becomes a negative resistance to obtain a desired load sharing characteristic; and when the current i_A exceeds a set current, the resistance R becomes a positive resistance to reduce the variance of the load current for operation of one voltage source.

**(54) ACTIVE FILTER**

(11) 61-42020 (A) (43) 28.2.1986 (19) JP
 (21) Appl. No. 59-164129 (22) 3.8.1984
 (71) NISSIN ELECTRIC CO LTD (72) YOSHIYA OGIWARA
 (51) Int. Cl. G05F1/70

PURPOSE: To reduce phase error by subjecting a load current to A/D conversion and high-speed Fourier transformation to obtain the amplitude and the phase of the included harmonic component of each order and comparing the level value of a compensating waveform with that of a triangular wave corresponding to this waveform to generate a compensating current.

CONSTITUTION: A load current I_L is detected by a current transformer 12, and a load current waveform signal has high frequency components higher than a prescribed frequency eliminated by a low pass filter 13, and the load current waveform signal which passes the filter 13 passes an A/D converter 14, and amplitudes and phases of fundamental wave components and harmonic components of individual orders which are included in the output of the converter 14 are calculated by a high-speed Fourier transformation circuit (FFT circuit) 15 and are sent to a CPU16. The FFT circuit 15 obtains values of the amplitude and the phase of the n-order harmonic wave in the load current and sends them to the CPU16. The CPU16 compensates the error due to the low pass filter 13 and obtains the level value at each timing of the compensating waveform and reads out the level value of the triangular wave at the same timing as the compensating waveform.



1: power system, 2: fundamental wave generating load, 11: active filter, 17: external setter, 18: triangular wave pattern table, 19: comparing circuit, 20: ignition pulse control circuit, 21: inverter, 23: phase locking circuit, C: command

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-42020

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)2月28日

G 05 F 1/70

7319-5H

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 アクティブフィルタ

⑯ 特 願 昭59-164129

⑰ 出 願 昭59(1984)8月3日

⑱ 発 明 者 荻 原 義 也 京都市右京区梅津高畝町47番地 日新電機株式会社内

⑲ 出 願 人 日新電機株式会社 京都市右京区梅津高畝町47番地

⑳ 代 理 人 弁理士 宮 井 暎 夫

明 細 書

1. 発明の名称

アクティブフィルタ

2. 特許請求の範囲

電力系統とこの電力系統より給電される高調波発生負荷との間に設置されて補償電流(または電圧)を注入するアクティブフィルタであって、負荷電流(または電圧)を検出する検出器と、この検出器の出力をA/D変換するA/D変換器と、このA/D変換器の出力を高速フーリエ変換して前記負荷電流(または電圧)中に含まれる各次調波成分の振幅および位相を求める高速フーリエ変換手段と、この高速フーリエ変換手段により求めた各次調波成分の振幅および位相と補償すべき調波成分の次数およびその補償率とをもとにし、関数テーブルを参照して演算を行うことにより補償波形の各タイミングのレベル値を算出する補償波形演算手段と、三角波パターンテーブルから前記補償波形と同じタイミングの三角波のレベル値を読み出す三角波パターン読み出し手段と、前記補

償波形の各タイミングのレベル値と前記三角波の各タイミングのレベル値とを順次レベル比較することにより前記補償波形を前記三角波で変調したパルス幅変調波形を作成する比較回路と、この比較回路より出力されるパルス幅変調波と相似な波形の補償電流(または電圧)を前記電力系統に注入するインバータとを備えたアクティブフィルタ。

3. 発明の詳細な説明

産業上の利用分野

この発明は電力系統から高調波発生負荷へ給電する際に、高調波発生負荷が発生する高調波成分が電力系統に接続された他の負荷に悪影響を及ぼすのを防止するために、高調波発生負荷の電源入力端に設置されて補償電流(または電圧)を注入するアクティブフィルタに関するものである。

従来例の構成とその問題点

第3図は従来のPWM方式のアクティブフィルタの構成を示すブロック図である。第3図において、電力系統1から高調波発生負荷2へ給電すると、高調波発生負荷2には負荷電流 i_L ($=i_{L1}$

$+\Sigma \dot{i}_{Ln}$) が流れる。アクティブフィルタ3は電力系統1に補償電流 \dot{i}_c を注入するようになっている。したがって、電力系統1に流れる系統電流を \dot{i}_s とすれば、

$$\dot{i}_s + \dot{i}_c = \dot{i}_L$$

となり、ここで、補償電流 \dot{i}_c を

$$\dot{i}_c = \Sigma \dot{i}_{Ln}$$

とすれば、系統電流 \dot{i}_s は

$$\dot{i}_s = \dot{i}_{L1}$$

となり、高調波発生負荷2には電力系統1からは歪のない基本波成分のみが供給され、高調波成分はアクティブフィルタ3から供給されることになり、電力系統1から見た場合に高調波発生負荷2が発生する高調波成分はアクティブフィルタ3によってキャンセルされ、上記高調波成分は電力系統1には全く流出しないことになる。

上記アクティブフィルタ3は、高調波成分を補償すべき対象、すなわち負荷電流 \dot{i}_L を変流器4で検出し、この変流器4で検出された負荷電流波形信号 \dot{i}_L' をバンドパスフィルタ5に通すこと

により負荷電流波形信号 \dot{i}_L' 中の直流成分、基本波成分などの低周波分と所定以上の高周波成分とを除去して補償すべき高調波成分 $\Sigma \dot{i}_{Ln}'$ を抽出し、この高調波成分 $\Sigma \dot{i}_{Ln}'$ をそのまま補償波形信号 \dot{i}_c' ($=\Sigma \dot{i}_{Ln}'$) としてこの補償波形信号 \dot{i}_c' と三角波発生回路6から出力されて負荷電流 \dot{i}_L の基本周波数の整数倍の十分高い周波数を有する三角波信号(搬送波信号)Sとを比較回路7で比較することによりパルス幅変調信号Pを得、得られたパルス幅変調信号Pでインバータ9のスイッチング素子のオンオフタイミングを決め、すなわち第4図(A)に示すように補償波形信号 \dot{i}_c' と三角波信号Sとの大小関係で上記スイッチング素子のオンオフタイミングを決定し、上記パルス幅変調信号Pに応じて点弧パルス制御回路8でインバータ9のスイッチング素子のオンオフを制御し、インバータ9から得られる第4図(B)の補償電流 \dot{i}_c (パルス幅変調信号Pと相似な波形)を電力系統1に注入するように構成している。

しかし、このような従来のアクティブフィルタ3は、単にバンドパスフィルタ5から取り出しただけの補償波形信号 \dot{i}_c' と三角波信号Sとの大小関係でインバータ9のスイッチング素子のオンオフタイミングを決定する構成であったため、バンドパスフィルタによる位相誤差が大きくアクティブフィルタとしての性能に限界があった。またどの次数の調波成分をどの程度の割合で補償するかというようなアクティブフィルタ3の補償性能の定量化を行うことができず、電力系統1から見た場合に高調波の定量的な管理が困難であった。特に第5図に示すように、負荷電流 \dot{i}_L の高調波成分 $\Sigma \dot{i}_{Ln}$ が大きくなって、補償波形信号 \dot{i}_c の振幅が三角波信号Sの振幅より大きくなった場合に、リミット動作で対応せざるを得ず、どの調波成分を優先的に補償するかといった柔軟性に欠けるという問題がある。

発明の目的

この発明は、位相誤差が小さく、かつ補償性能を定量化することができて柔軟性の高いアクティ

ブフィルタを提供することを目的とする。

発明の構成

この発明のアクティブフィルタは、電力系統とこの電力系統より給電される高調波発生負荷との間に設置されて補償電流(または電圧)を注入するアクティブフィルタであって、負荷電流(または電圧)を検出する検出器と、この検出器の出力をA/D変換するA/D変換器と、このA/D変換器の出力を高速フーリエ変換して前記負荷電流(または電圧)中に含まれる各次調波成分の振幅および位相を求める高速フーリエ変換手段と、この高速フーリエ変換手段により求めた各次調波成分の振幅および位相と補償すべき調波成分の次数およびその補償率とをもとにし第4図に示す参照して演算を行うことにより補償波形の各タイミングのレベル値を算出する補償波形演算手段と、三角波パターンテーブルから前記補償波形と同じタイミングの三角波のレベル値を読み出す三角波パターン読み出し手段と、前記補償波形の各タイミングのレベル値と前記三角波の各タイミングの

レベル値とを順次レベル比較することにより前記補償波形を前記三角波で変調したパルス幅変調波形を作成する比較回路と、この比較回路より出力されるパルス幅変調波と相似な波形の補償電流（または電圧）を前記電力系統に注入するインバータとを備える構成にしたことを特徴とする。

このように構成すると、位相誤差の小さなアクティブフィルタとすることができ、また、補償すべき調波成分の次数およびその補償率を変更することにより、アクティブフィルタの補償性能を調整することができ、その定量化が容易であるとともに、柔軟性に富んだ補償を行うことができる。

実施例の説明

この発明の一実施例を第1図、第2図および第6図に基づいて説明する。

第1図はこの発明の一実施例のPWM方式のアクティブフィルタの構成を示すブロック図である。第1図において、電力系統1から高調波発生負荷2へ給電すると、高調波発生負荷2には負荷電流 $i_L (= i_{L1} + \Sigma i_{Ln})$ が流れる。このとき

に、アクティブフィルタ11は、電力系統2に補償電流 i_c を注入するようになっている。したがって、電力系統1に流れる系統電流を i_s とすれば

$$i_s + i_c = i_L$$

となり、補償電流 i_c を負荷電流 i_L 中の高調波成分 Σi_{Ln} と、補償すべき調波成分の次数およびその補償率とをもとにして作成すれば、電力系統1に流れる高調波成分を任意の状態で補償することができる。

より詳しく説明すると、このアクティブフィルタ11は、高調波成分を補償すべき対象、すなわち負荷電流 i_L を変流器12で検出し、この変流器12で検出された負荷電流波形信号 i_L' をローパスフィルタ13に通すことにより負荷電流波形信号 i_L' 中に含まれる所定以上の高周波成分を除去し、ローパスフィルタ13を通過した負荷電流波形信号 i_L' をA/D変換器14によってA/D変換し、さらにこのA/D変換器14の出力を高速フーリエ変換回路（以下FFT回路）15

によって高速フーリエ変換することによって負荷電流 i_L 中に含まれる基本波成分および各次調波成分の振幅および位相（系統電圧 \dot{V}_s の基本波位相を基準にしたもの）を算出し、これをCPU16に送るようになっている。この場合、A/D変換器14およびFFT回路15は、いずれもCPU16からの指令に基づいて動作するようになっている。また、FFT回路15は、具体的には第2図に示すように、次式で表わされる負荷電流 i_L (t)におけるn次調波の振幅 i_{Ln} の値およびn次調波の位相 θ_n の値（系統電圧 \dot{V}_s の基本波位相を基準とする）を求め、これをCPU16へ送る。

$$i_L(t) = \Sigma (i_{Ln} \cdot \sin(n\omega t + \theta_n))$$

CPU16は、第2図に示すように、n次調波の振幅 i_{Ln} および位相 θ_n に対して、ローパスフィルタ13による誤差を補正し、補正後のn次調波の振幅 i_{Ln}' および位相 θ_n' と外部設定器17より与えられる補償すべき調波成分の次式 n_1, n_2, \dots およびその補償率 k_1, k_2, \dots (％)とをもとにし、sin関数テーブルを参照

して演算を行うことにより補償波形 i_c^* の各タイミングのレベル値を求め、さらに三角波パターンテーブル18に指令を与えて三角波パターンテーブル18から補償波形 i_c^* と同じタイミングにおける三角波 S^* のレベル値を読み出すようになっている。

上記CPU16による補償波形 i_c^* のレベル値演算および三角波 S^* のレベル値読み出しは、具体的には、n次調波の振幅 i_{Ln}' および位相 θ_n' と補償すべき調波成分の次数 n_1, n_2, \dots およびその補償率 k_1, k_2, \dots とをもとにし、sin関数テーブルを参照して一定周期毎に次式の演算を行うことにより補償波形 i_c^* の各タイミングのレベル値を順次求め、補償波形 i_c^* の各タイミングのレベル値を求める毎に三角波パターンテーブル18から同じタイミングにおける三角波 S^* のレベル値を読み出すようになっている。

$$i_c^*(t) = \Sigma \left(\frac{k}{100} \cdot i_{Ln}' \cdot \sin(n\omega t + \theta_n') \right)$$

$n = n_1, n_2, \dots$
 $k = k_1, k_2, \dots$

なお、三角波パターンテーブル18には、三角波 S^* の1周期分の各タイミングにおけるレベル値が格納されており、補償波形 i_c^* のレベル値の演算毎に三角波パターンテーブル18から順次異なる部分のレベル値が読み出されることになる。

比較回路19は、CPU16が求めた補償波形 i_c^* のレベル値と三角波パターンテーブル18から読み出した三角波 S^* のレベル値とを順次比較し、この比較回路19の出力としては階段状にレベル変化する補償波形 i_c^* を三角波 S^* で変調したパルス幅変調波形PAが得られることになる。

点弧パルス制御回路20は、上記パルス幅変調波形PAをもとにインバータ21のスイッチング素子のオンオフを制御することにより、パルス幅変調波形PAと相似な波形の補償電流 i_c を発生し、これを電力系統1に注入することになる。

22は変圧器、23は変圧器22を介して系統電圧 \hat{V}_s の波形を取り込み、系統電圧 \hat{V}_s と同期した同期信号を作成する位相同期回路で、CPU

16および点弧パルス制御回路20に同期信号を与える。

ここで、負荷電流波形信号 i_L' 中には基本波と第5調波としか含まれていないと仮定し、第5調波を100%補償するケースにつき、第6図を参照して説明する。ただし、第6図(C)、(D)(B)は同図(A)、(B)に対して時間軸を拡大して表している。

このアクティブフィルタは、負荷電流波形信号 i_L' として第6図(A)に示すようなもの(基本波+第5調波)が得られると、これをA/D変換および高速フーリエ変換してCPU16へ送る。第6図(B)は負荷電流波形信号 i_L' 中に含まれる第5調波成分の波形を示している。

CPU16は、FFT回路15の出力をもとにして第2図の演算を行うことにより第6図(C)に示す補償波形 i_c^* を出力するとともに三角波パターンテーブル18から第6図(C)に示す三角波 S^* を読み出し、比較回路19へ送る。なお、比較回路19には、第6図(C)に図示した波形

は送られず、この波形に対応したデータが送られ、デジタル的に比較される。この結果、比較回路19は、第6図(D)に示すようなパルス幅変調波形PAを出力し、点弧制御回路20がこのパルス幅変調波形PAにもとづいてインバータ21を制御することにより、インバータ21が第6図(E)に示す波形の補償電流 i_c を系統に注入することになる。

このように、この実施例は、負荷電流 i_L をA/D変換および高速フーリエ変換することにより負荷電流 i_L に含まれる各次調波成分の振幅および位相を求め、この各次調波成分の振幅および位相と補償すべき調波成分の次数およびその補償率とをもとにして、補償波形 i_c^* の各タイミングのレベル値を算出するとともにこれに対応したタイミングにおける三角波 S^* のレベル値を読み出し、補償波形 i_c^* のレベル値と三角波 S^* のレベル値とを比較し、この比較結果にもとづいてインバータ21を制御して補償電流 i_c を作成するようにしたため、補償すべき調波成分の次数お

びその補償率の設定を変更することにより、アクティブフィルタ11の補償性能を任意に調整することができ、その定量化が容易であるとともに、柔軟性に富んだ補償を行うことができる。また、デジタル処理しているため、ローパスフィルタ13による誤差の補償もきわめて容易に行うことができる。

なお、上記実施例は、負荷電流 i_L の高調波成分を補償するものについて述べたが、負荷電圧の高調波成分を補償するものについてもこの発明を適用できる。

発明の効果

この発明のアクティブフィルタによれば、補償性能を定量化することができるとともに柔軟性に富んだ補償を行うことができる。

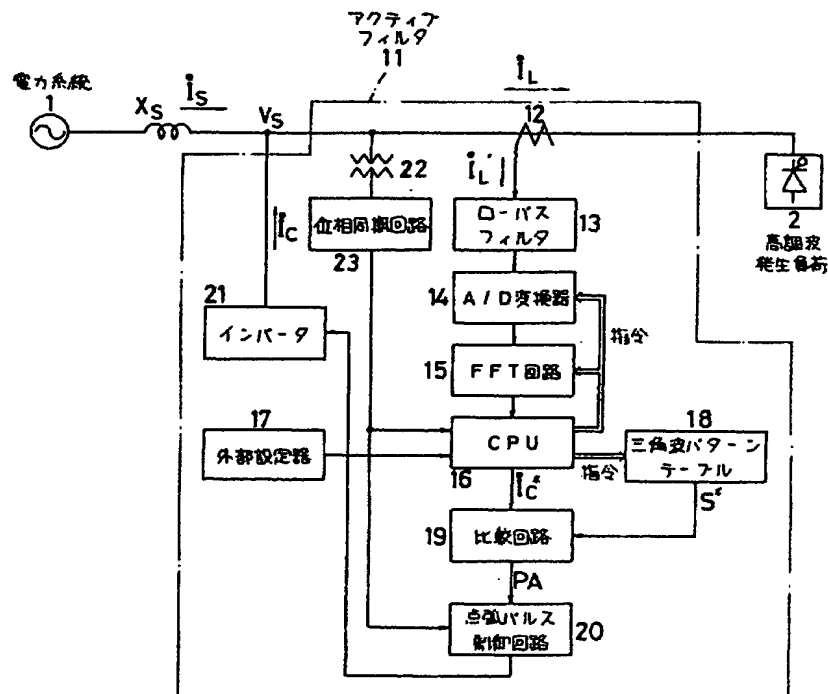
4. 図面の簡単な説明

第1図はこの発明の一実施例のブロック図、第2図は動作の説明図、第3図は従来のアクティブフィルタのブロック図、第4図はその各部の波形図、第5図は欠点説明のための波形図、第6図は

実施例の動作説明のための波形図である。

1…電力系統、2…高調波発生負荷、11…アクティブフィルタ、12…変流器（検出器）、14…A/D変換、15…FFT回路、16…CPU（補償波形作成手段）、18…三角波パターンテール、19…比較回路、21…インバータ

代理人 弁理士 宮井 敏夫



第 1 図

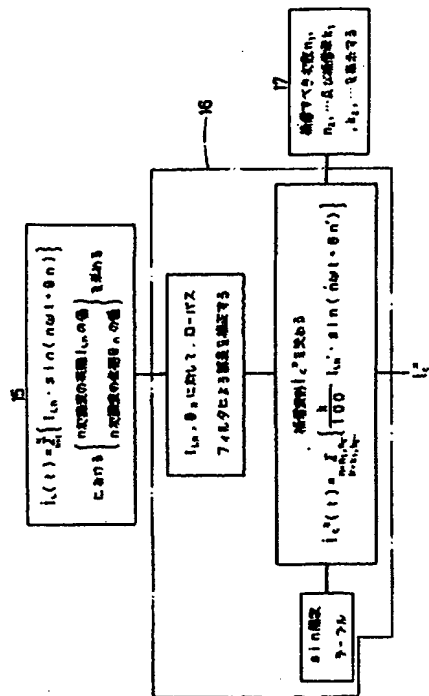
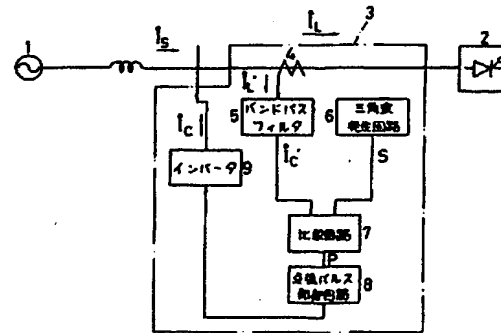
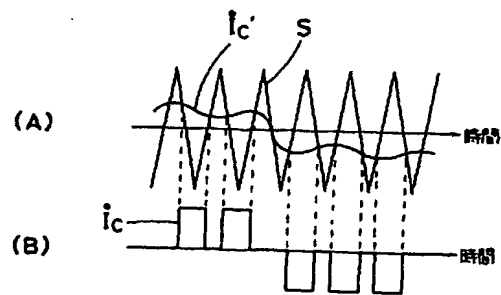


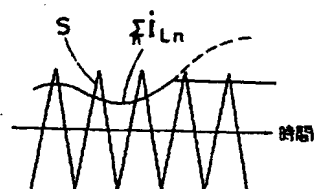
圖 2 第 2 次



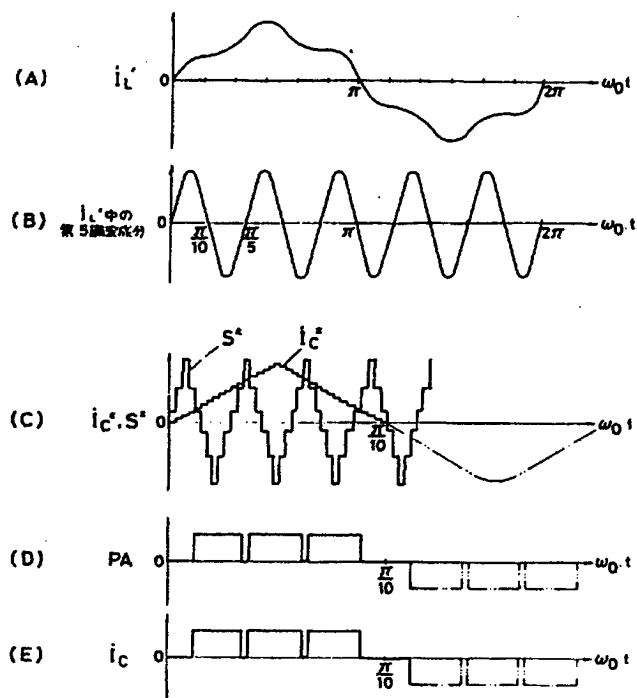
第 3 题



第 4 圖



第 5 图



第 6 図